مقاله پژوهشی

یک روش توأم زمان‌بندی و نگاشت وظایف در سیستم‌های چندپردازنده‌ای روی تراشه با هدف بهبود چالش‌های طراحی

آتنا عبدی، حمیدرضا زرندی و شاهرخ جلیلیان

چکیده: در این مقاله روش مکاشفه‌ای زمان‌بندی و نگاشت وظایف ایستا به منظور بهینه‌سازی زمان اجرا، قابلیت اطمینان، توان مصرفی و دما به عنوان اساسی‌ترین چالش‌های طراحی سیستم‌های چندپردازنده‌ای ارائه شده است. روش ارائه‌شده بر پایه زمان‌بندی لیستی بوده و تکرار وظایف، مقیاس پویای ولتاژ و فرکانس و افزودن زمان‌های خالی با هدف بهبود قابلیت اطمینان، توان مصرفی و دمای سیستم و گسترده‌کردن فضای جواب با هدف جستجوی مؤثرتر در آن در نظر گرفته شده است. به دلیل رابطه متخاصم و ناهمسوی مابین پارامترهای ذکرشده، فرایند بهینه‌سازی چندهدفی بسیار پیچیده بوده و در روش پیشنهادی از راهکار استخراج پوسته Pareto استفاده شده است. همچنین در این روش، مدل‌سازی جامعی از تمامی اهداف صورت گرفته و وابستگی‌های آنها لحاظ شده است. آزمایش‌های متعدی به منظور بررسی کارایی و قابلیت‌های روش پیشنهادی در بهینه‌سازی هم‌زمان اهداف مسئله و تولید جواب‌های درست انجام گرفته است. بررسی‌ها و مقایسه روش پیشنهادی با یک روش مکاشفه‌ای مؤثر پیشین بهبود میانگین ۱۹٪ در پارامترهای طراحی مورد هدف مسئله را نشان می‌دهد.

کلیدواژه: **سیستم چندپردازنده‌ای، زمان‌بندی، قابلت اطمینان، توان مصرفی، دما، بهینه‌سازی چندهدفی، پوسته Pareto.**

۱- مقدمه

سیستم‌های چندپردازنده‌ای به طور گسترده در کاربردهای ایمنی- بحرانی و طراحی سیستم‌های تعبیه‌شده به کار گرفته می‌شوند. این سیستم‌ها در پاسخ به نیاز کاربردهای جدید به کارایی بالا و مقیاس فناوری و کوچک‌شدن اندازه ترانزیستورها ارائه شده‌اند. سیستم‌های چندپردازنده‌ای قابلیت ارائه کارایی بیشتر با توان مصرفی و پیچیدگی کم را دارند که مناسب کاربردهای امروزی بوده و استاندارد رایج طراحی سیستم‌های تعبیه‌شده می‌باشند [۱] تا [۳]. کاربردهای ایمنی- بحرانی امروزی شامل برنامه‌های مستقل بی‌درنگ می‌باشند که عموماً در بستر سیستم‌های بی‌درنگ پیاده‌سازی شده و در حوزه‌های مختلف از جمله تجهیزات ماهواره‌ای به کار گرفته می‌شوند [۴] و [۵].

به دلیل بی‌درنگ‌بودن این کاربردها، مسئله زمان اجرا یکی از مهم‌ترین پارامترهای طراحی این سیستم‌هاست. زمان اجرا در این کاربردها باید به نحوی مدیریت شود که رعایت موعد اجرا و تعامل زمان‌بندی شده با محیط اجرا تضمین شود. به دلیل بحرانی‌بودن این کاربردها، قابلیت اطمینان مسئله اساسی دیگر در طراحی آنهاست که می‌بایست تا حد امکان به یک نزدیک باشد. قابلیت اطمینان توسط خطاهای گذرا و دایمی تخمین زده می‌شود که بر درستی خروجی سیستم و طول عمر و فرسودگی آن اثر می‌گذارند. همچنین مستقل‌بودن این کاربردها و تأمین انرژی آنها توسط باتری، مسئله توان مصرفی را به دیگر چالش طراحی آنها بدل می‌کند. از سوی دیگر با پیشرفت فناوری و کوچک‌شدن سایز ترانزیستورها، افزایش دمای تراشه تأثیرات منفی بر توان مصرفی، قابلیت اطمینان و سرعت پردازشی سیستم داشته و می‌بایست حین طراحی بهینه شود [۳] تا [۶].

مهم‌ترین چالش طراحی سیستم‌های تعبیه‌شده بهینه‌سازی هم‌زمان پارامترهای ذکرشده به دلیل رابطه ناهمسو و متخاصم مابین آنهاست [۶] تا [۸]. مثالی از این رابطه متخاصم در بهبود قابلیت اطمینان از طریق افزودن واحدهای پردازشی اضافه با هدف موازی‌سازی اجرا و اجتناب از خطاست که این امر منجر به افزایش نامطلوب زمان اجرا، توان مصرفی و دمای سیستم به عنوان سایر معیارهای طراحی سیستم می‌گردد. همچنین بهبود توان مصرفی از طریق مقیاس پویای ولتاژ و فرکانس کاری سیستم صورت می‌گیرد که این امر منجر به افزایش زمان اجرا و کاهش قابلیت اطمینان از دیدگاه خطاهای گذرا به دلیل افزایش آسیب‌پذیری به ذرات باردار در سطوح پایین فرکانس می‌گردد. از سوی دیگر افزودن بازه‌های زمانی بیکاری به اجرا با هدف خنک‌کردن واحد پردازشی یکی از روش‌های بهبود دمای تراشه است که منجر به افزایش طول زمان اجرا و کاهش کارایی سیستم می‌گردد. در نتیجه تناقضات و روابط ناهمسو میان چالش‌های طراحی شرح داده شده، مدیریت و بهینه‌سازی هم‌زمان آنها در حین طراحی را بسیار پیچیده و دشوار ساخته و منجر به تصمیمات طراحی نادرست و ناکارآمد می‌گردد.

بهینه‌سازی چالش‌های طراحی سیستم‌های چندپردازنده‌ای در سطوح مختلف تجرید مورد مطالعه قرار می‌گیرد. یکی از مؤثرترین روش‌ها در سطح سیستم و در حین زمان‌بندی و نگاشت وظایف مطرح می‌شوند که کارایی زیاد و سربار کمی دارند. پیچیدگی مسئله زمان‌بندی و نگاشت وظایف با هدف بهینه‌سازی چالش‌های طراحی از نوع NP-hard بوده که راهکار قطعی نداشته و روش‌های مکاشفه‌ای و فرامکاشفه‌ای به منظور حل آن پیشنهاد می‌شوند [۷] تا [۹]. در این مقاله روش مکاشفه‌ای به منظور بهینه‌سازی هم‌زمان زمان اجرا، قابلیت اطمینان، توان مصرفی و دمای تراشه به عنوان اساسی‌ترین چالش‌های طراحی سیستم‌های بی‌درنگ ارائه شده است. روش مکاشفه‌ای ارائه‌شده بر اساس الگوریتم

این مقاله در تاریخ ۵ آبان ماه ۱۳۹۸ دریافت و در تاریخ ۷ تیر ماه ۱۳۹۹ بازنگری شد.

آتنا عبدی، دانشکده مهندسی کامپیوتر، دانشگاه صنعتی امیرکبیر، تهران، ایران، (email: atena_abdi@aut.ac.ir).

حمیدرضا زرندی (نویسنده مسئول)، دانشکده مهندسی کامپیوتر، دانشگاه صنعتی امیرکبیر، تهران، ایران، (email: h_zarandi@aut.ac.ir) .

شاهرخ جلیلیان، پژوهشکده سامانه‌های ماهواره‌ای، پژوهشگاه فضایی، تهران، ایران، (email: shjalilian@gmail.com).

زمان‌بندی بهینه مبتنی بر لیست ارائه گردیده و زمان‌بندی و نگاشت وظایف را بر اساس تشکیل صفی از وظایف آماده و اولویت‌دهی آنها انجام می‌دهد. با توجه به چهاربعدی‌بودن فضای بهینه‌سازی و رابطه ناهمسو و متخاصم میان اهداف مسئله، جواب نهایی در قالب یک پوسته Pareto از مجموعه جواب‌های فضای طراحی ارائه می‌شود. نوآوری‌های اصلی مقاله پیش رو را می‌توان به صورت زیر خلاصه نمود:

- ارائه روش مکاشفه‌ای مبتنی بر زمان‌بندی لیستی جهت بهینه‌سازی هم‌زمان پارامترهای زمان اجرا، قابلیت اطمینان، توان مصرفی و دمای تراشه به عنوان اساسی‌ترین چالش‌های طراحی سیستم‌های چندپردازنده‌ای در قالب مسئله بهینه‌سازی چهار هدفی و به کارگیری روش‌های تکرار اجرا، مقیاس پویای ولتاژ و فرکانس کاری و افزودن زمان بیکاری به اجرا با هدف بهبود هر یک از محدودیت‌های مسئله و گسترش‌دادن فضای جواب با هدف جستجوی مؤثرتر فضای طراحی
- در نظر گرفتن هم‌زمان خطاهای دایمی و گذرا در مدل‌سازی قابلیت اطمینان سیستم در قالب یک رابطه واحد
- در نظر گرفتن و مطالعه رابطه متخاصم اجزای قابلیت اطمینان (نرخ بروز خطاهای دایمی و گذرا) در تعیین سطح ولتاژ و فرکانس کاری پردازنده‌های سیستم

در ادامه و در بخش ۲، پژوهش‌های سطح سیستم پیشین بهینه‌سازی پارامترهای طراحی سیستم‌های چندپردازنده‌ای شرح داده می‌شود. در بخش ۳، کلیات و فرضیات روش پیشنهادی ارائه شده و جزئیات روش بهینه‌سازی زمان‌بندی و نگاشت پیشنهادی در این مقاله در بخش ۴ شرح داده خواهد شد. آزمایش‌های تجربی با هدف بررسی کارایی روش پیشنهادی و مقایسه آن با روش‌های پیشین در بخش ۵ ارائه شده و جمع‌بندی و روال آتی در بخش ۶ آمده است.

۲- پژوهش‌های پیشین

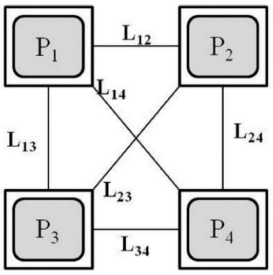
تا کنون پژوهش‌های بسیاری با هدف بهینه‌سازی پارامترهای اساسی طراحی سیستم‌های چندپردازنده‌ای در سطوح مختلف تجرید ارائه شده‌اند. بیشتر این روش‌ها به بهبود زمان اجرا به عنوان مهم‌ترین چالش طراحی پرداخته‌اند و برخی دیگر یک یا دو چالش دیگر را در کنار معیار کارایی لحاظ کرده‌اند. بهینه‌سازی هم‌زمان همه چالش‌های طراحی به دلیل رابطه ناهمسوی پیچیده مابین آنها در پژوهش‌های پیشین لحاظ نشده است. همچنین مدل‌سازی جامع این پارامترها و در نظر داشتن تمامی عوامل مؤثر بر آنها مانند توان مصرفی ایستا و پویا، خطاهای دایمی و گذرا یا تأثیر دمای هسته‌های همسایه مورد دیگری است که در بسیاری از پژوهش‌های پیشین لحاظ نشده‌اند.

در [۱۰] روش بهینه‌سازی مبتنی بر الگوریتم فرامکاشفه‌ای شبیه‌سازی ذوب ارائه شده که تأثیر فرسودگی و کارایی را در سیستم بهینه می‌کند. تابع هزینه پیشنهادی در این روش از تجمیع دو هدف بهینه‌سازی به دست می‌آید که ممکن است منجر به پوشانده‌شدن اثر یکی از پارامترها شود و روش مناسبی در جستجوی فضای جواب نمی‌باشد. همچنین با توجه به اهمیت خطاهای گذرا در کاربردهای ایمنی- بحرانی، در نظر گرفتن خطاهای دایمی به تنهایی جهت مدل‌سازی و مطالعه قابلیت اطمینان سیستم کافی نمی‌باشد. در [۱۱] روش بهینه‌سازی دوهدفه دیگری به منظور بهبود هم‌زمان کارایی و قابلیت اطمینان ارائه شده است. در این روش، بهینه‌سازی Pareto به عنوان یکی از راهکارهای مؤثر حل مسایل بهینه‌سازی چندهدفی به کار گرفته شده است. در این پژوهش، مدل‌سازی قابلیت اطمینان به خطاهای گذرا محدود شده که با توجه به پیشرفت فناوری و اهمیت‌یافتن اثر خطاهای دایمی بر خرابی سیستم‌های تعبیه‌شده و ناتمام‌ماندن وظیفه آنها، کافی نمی‌باشد.

در [۱۲] روش مکاشفه‌ای با هدف بهینه‌سازی هم‌زمان زمان اجرا و دمای سیستم ارائه شده است. هدف اصلی این روش، کمینه‌نمودن دمای بیشینه سیستم با رعایت محدودیت مشخص‌شده برای زمان اجرا می‌باشد. در این پژوهش به منظور مدیریت دما و گسترش‌دادن فضای طراحی، افزودن بازه‌های زمانی بیکاری به اجرا لحاظ شده است. همچنین تأثیر هسته‌های همسایه بر دمای هر پردازنده سیستم در این پژوهش مدل‌سازی و در نظر گرفته شده است. در [۱۳] یک روش زمان‌بندی مبتنی بر اجرای تکراری وظایف با هدف کاهش ارتباطات بین هسته‌ای و کمینه‌سازی توان مصرفی ارائه شده است. در این پژوهش رابطه متقابل مابین توان مصرفی و کارایی سیستم در سطح فرکانس اجرای وظایف در نظر گرفته شده است. در این روش، توان سیستم به عنوان محدودیت بهینه‌سازی در نظر گرفته شده و از زمان‌های بیکاری پردازنده‌ها تا حد ممکن جهت اجرای مجدد وظایف و اجتناب از ارتباط مابین هسته‌های پردازشی استفاده می‌شود. روش پیشنهادی در این پژوهش برای کاربردهایی که ارتباط مابین وظایف بسیار زیاد و پرهزینه می‌باشد مناسب بوده و آستانه معین‌شده توان مصرفی کاربرد را رعایت می‌نماید. همچنین در [۱۴] روشی به منظور بهینه‌سازی توان مصرفی و دمای هسته‌های پردازشی در حین زمان‌بندی وظایف ارائه گردیده که در آن آستانه محدودیت‌ها بر اساس قوانین فازی تعریف شده است.

در مطالعات دیگر، اهداف مسئله بهینه‌سازی به بهبود هم‌زمان سه پارامتر طراحی افزایش یافته است. در [۱۵] روشی فرامکاشفه‌ای به منظور بهینه‌سازی هم‌زمان طول عمر، توان مصرفی و کارایی سیستم چندپردازنده‌ای ارائه شده است. در این پژوهش تمامی اهداف در قالب یک تابع هدف با یکدیگر جمع شده و راهکار پیشنهادی با حل یک مسئله بهینه‌سازی تک‌هدفی در حین زمان‌بندی و نگاشت وظایف ارائه شده است. در این پژوهش مقیاس پویای ولتاژ و فرکانس کاری به منظور بهبود توان مصرفی و طول عمر سیستم به کار گرفته شده و از مطالعه تأثیر منفی این روش بر نرخ بروز خطاهای گذرا صرف نظر شده است. همچنین در این روش تنها بخش پویای توان مصرفی در نظر گرفته شده که با توجه به پیشرفت فناوری و آسیب‌پذیری سیستم‌ها به توان نشتی و ایستا کافی نمی‌باشد [۱۶] و [۱۷].

در [۱۸] و [۱۹] روش فرامکاشفه‌ای مبتنی بر الگوریتم NSGA-II با هدف بهینه‌سازی قابلیت اطمینان از دیدگاه خطاهای دایمی و گذرا و همچنین توان مصرفی ارائه شده است. در این روش، رابطه متخاصم میان توان مصرفی و نرخ خطاهای گذرا از لحاظ کاهش سطح ولتاژ و فرکانس کاری سیستم در نظر گرفته شده است، گرچه در این روش مطالعه طول عمر سیستم و اثر خطاهای دایمی به ولتاژ سیستم محدود شده و دما به عنوان مهم‌ترین عامل تأثیرگذار در نظر گرفته نشده است. به علاوه تأثیر توان مصرفی ایستا در بهینه‌سازی این پارامتر لحاظ نشده است. در [۵] روش مکاشفه‌ای مبتنی بر زمان‌بندی لیستی به منظور بهینه‌سازی زمان اجرا، توان مصرفی پویا و قابلیت اطمینان سیستم‌های چندپردازنده‌ای ارائه شده است. در این روش رابطه متخاصم مابین این پارامترها با حذف وابستگی مابین آنها حذف شده و با به کارگیری روش‌های بهبودی تکرار اجرا و مقیاس پویای ولتاژ و فرکانس کاری فضای جواب به طور مؤثر گسترش یافته است. در [۶] روش‌های مکاشفه‌ای به منظور بهینه‌سازی هم‌زمان زمان اجرا، دما و توان مصرفی سیستم ارائه شده است . در بین



شکل ۱: نمونه‌ای از ساختار معماری سخت‌افزاری سیستم چندپردازنده‌ای با چهار واحد پردازشی و شش مسیر ارتباطی.

روش‌های ارائه‌شده، تکنیک PowerPerf-PET مؤثرترین روش بوده و سعی در جستجوی فضای جواب با تجمیع اهداف مسئله بهینه‌سازی و تکرار فرایند با تغییر ضرایب وزن اهداف مسئله دارد.

۳- کلیات و مفاهیم پایه‌ای

۳-۱ مدل معماری سخت‌افزاری سیستم‌های چندپردازنده‌ای روی تراشه

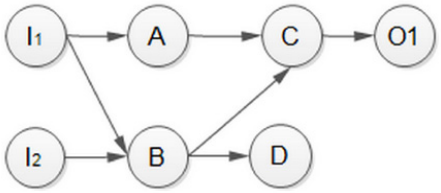
سیستم چندپردازنده‌ای مورد مطالعه در این مقاله همگن بوده و تمامی عناصر پردازشی آن به یکدیگر متصل می‌باشند. این سیستم به صورت یک گراف متشکل از پردازنده‌ها و اتصالات مابین آنها مدل می‌شود که گره‌ها واحدهای پردازشی و یال‌ها ارتباط آنها را نشان می‌دهند. در این مقاله فرض بر آن است که گراف معماری سیستم کامل است و در نتیجه بین هر دو پردازنده همواره مسیر ارتباطی مستقیمی وجود دارد. لازم به ذکر است که این مدل معماری و اتصالات، به عنوان نمونه در نظر گرفته شده و محدودیتی در روش پیشنهادی اعمال نمی‌کند. شکل ۱ مثالی از معماری هدف این پژوهش را نشان می‌دهد.

۳-۲ مدل نرم‌افزاری برنامه کاربردی

هر برنامه کاربردی اجراشونده بر بستر سخت‌افزاری سیستم چندپردازنده‌ای به صورت یک گراف جهت‌دار بدون دور (DAG) مدل می‌شود. گره‌های این گراف نشان‌دهنده مجموعه وظایف برنامه کاربردی و یال‌های آن وابستگی داده‌ای مابین آنهاست. در این گراف وابستگی وظایف بر اساس تقدم و تأخر آنها و در دو مجموعه predecessor و successor تعریف می‌شود. شکل ۲، نمونه‌ای از گراف وظایف یک برنامه کاربردی با هفت وظیفه را نشان می‌دهد.

۳-۳ بهینه‌سازی چندهدفه Pareto

به منظور حل مسایل بهینه‌سازی چندهدفی راهکارهای متفاوتی ارائه شده است که یکی از مؤثرترین آنها تولید پوسته Pareto می‌باشد. اساس این الگوریتم بر جستجوی کامل فضای طراحی و انتخاب هرچه بیشتر نقاط مناسب طراحی می‌باشد. نقاط طراحی کشف‌شده در این رویکرد لزوماً قابل مقایسه نبوده و در بهینه‌سازی چندهدفی، حل مسئله به دلیل رابطه ناهمسوی متغیرها حتماً به یک جواب منتهی نمی‌گردد. بدین ترتیب تمامی نقاط طراحی مناسب استخراج شده و بر حسب الزامات کاربرد و موازنه مابین متغیرهای تصمیم مسئله جواب نهایی انتخاب می‌شود. به منظور مقایسه نقاط طراحی استخراج‌شده توسط الگوریتم جستجو، از مفهوم غلبه نقاط بر یکدیگر استفاده می‌شود. نقطه a بر نقطه b غالب است اگر و تنها اگر از لحاظ تمامی اهداف مقدار a از b بهتر یا مساوی باشند.



شکل ۲: ساختار یک گراف برنامه کاربردی نمونه متشکل از وظایف و ارتباطات داده‌ای.

در مسئله بهینه‌سازی چندهدفی، ساختن پوسته Pareto و در نظر گرفتن تمامی محدودیت‌های طراحی و ارتباط ناهمسوی آنها بسیار پیچیده می‌باشد. بدین منظور رویکردهای متفاوتی جهت حل مسئله بهینه‌سازی و ایجاد پوسته Pareto ارائه شده‌اند که در چهار گروه کلی تجمیع اهداف در قالب یک هدف، انتقال اهداف به محدودیت‌ها، تعامل با کاربر و تعیین هدف اصلی و بهینه‌سازی سلسله‌مراتبی اهداف قابل دسته‌بندی می‌باشند [۲۰]. علی‌رغم کارایی تمام روش‌های ذکرشده در حل مسایل بهینه‌سازی چندهدفی، بررسی‌ها نشان می‌دهند که در نتیجه استفاده از از روش‌های حل تجمیعی، تعاملی و سلسله‌مراتب‌سازی تنها یک نقطه از پوسته Pareto تولید می‌شود که لزوماً جواب بهینه نمی‌باشد و با تغییر تنظیمات حل مسئله، جواب دیگری به دست می‌آید. رویکرد انتقال مناسب‌ترین روش تکراری به منظور استخراج تمامی نقاط پوسته Pareto است. در این رویکرد، یکی از اهداف مسئله به عنوان تابع هدف انتخاب شده و سایر پارامترها به محدودیت انتقال داده شده و حد آستانه‌ای برای آنها مشخص می‌گردد که در هر گام از حل مسئله به منظور پویش کامل فضای جواب تغییر داده می‌شود. در نتیجه مسئله به ازای مقادیر آستانه مختلف حل شده و از ترکیب تمامی جواب‌های حاصل، پوسته Pareto نهایی ساخته می‌شود.

۳-۴ مدل قابلیت اطمینان سیستم چندپردازنده‌ای

به دلیل ایمنی- بحرانی‌بودن بسیاری از کاربردهای سیستم‌های تعبیه‌شده، بروز خطاهای دایمی و گذرا در آنها قابل قبول نبوده و قابلیت اطمینان آنها می‌بایست در بیشترین حد ممکن باشد [۱۰]، [۱۱] و [۲۱]. مدل‌سازی خطاهای گذرا که منجر به تولید خروجی غلط در سیستم می‌شوند عموماً با توزیع آماری پوآسن و با نرخ خطای ثابت صورت می‌گیرد [۲۲] تا [۲۴]. گرچه در تحقیقات جدیدتر، ثابت شده که در پردازنده‌هایی که چندین سطح ولتاژ و فرکانس دارند، نرخ خطاهای گذرا به صورتی که در (۱) نشان داده شده، تابع فرکانس کاری است

$$\lambda_f = \lambda_0 \times 10^{\frac{b(1-f)}{(1-f_{\min})}} \qquad (1)$$

در این رابطه λ_0 نرخ خطای اسمی سیستم و b ثابت مثبت وابسته به معماری است که آسیب‌پذیری سیستم به خطاهای گذرا را نشان می‌دهد. f فرکانس نرمال‌شده سیستم در بازه صفر و یک است و $f_{\min}$ کمترین فرکانس کاری سیستم می‌باشد [۲۳].

از سوی دیگر خطاهای سخت به دلیل آسیب‌های فیزیکی رخ داده و منجر به بروز خرابی‌های دایمی می‌شوند و عموماً قابل بازیابی نمی‌باشند. مهم‌ترین مکانیزم‌هایی که منجر به بروز خطاهای دایمی در سیستم‌های کامپیوتری می‌شوند عبارتند از مهاجرت الکترونی، مهاجرت ناشی از فشار، شکستگی دی‌الکتریک وابسته به زمان، چرخه دمایی و ناپایداری دمایی بایاس منفی [۲۵] و [۲۶]. تمامی مکانیزم‌های خرابی ذکرشده رابطه نمایی با دمای تراشه داشته و با مدیریت این پارامتر می‌توان نرخ خطاهای دایمی سیستم را بهینه نمود. بخش مشترک و وابسته به دمای مکانیزم‌های

خرابی دایمی سیستم‌های کامپیوتری را می‌توان به صورتی که در (۲) آمده است مدل‌سازی نمود [۲۷]

$$\lambda_H = \lambda_0 \times e^{\frac{-E_a}{K}(\frac{1}{T(t)}-\frac{1}{T_0})} \quad (۲)$$

در این رابطه λ_0 نرخ خطای اسمی سیستم، E_a انرژی فعال‌سازی خرابی، K ثابت بولتزمان و T دما بر حسب درجه کلوین است.

به منظور مدل‌سازی جامع قابلیت اطمینان لازم است هر دو نوع خطای گذرا و دایمی در محاسبات لحاظ شوند. بدین منظور (۳) که اثر هر دو نوع خطا را بر حسب (۱) و (۲) در نظر می‌گیرد در این مقاله و به منظور محاسبه قابلیت اطمینان سیستم پیشنهاد شده است

$$L_{systems} = \lambda_0 \times 10^{\frac{b(1-f)}{1-f_{\min}}} \times e^{\frac{-E_a}{K}(\frac{1}{T(t)}-\frac{1}{T_0})} \quad (۳)$$

در این رابطه تأثیر واقعی هر دو نوع خطای سیستم با ضرب آنها حفظ گردیده و ضریبی به منظور نرمال‌سازی این دو نرخ در نظر گرفته نشده است. در نتیجه نرخ خطای سیستم بر حسب فرکانس کاری و دما که عوامل تأثیرگذار بر قابلیت اطمینان می‌باشند مدل‌سازی شده و این عوامل در تخمین نرخ خطای سیستم به طور مؤثر لحاظ شده‌اند. لازم به ذکر است که این رابطه به صورت تجربی و به منظور تخمین نرخ خطاهای دایمی و گذرا در سیستم‌های چندپردازنده‌ای ارائه شده و بهینگی آن مد نظر نبوده است.

۳-۵ مدل توان مصرفی سیستم چندپردازنده‌ای

توان مصرفی هر عملیات در بستر سخت‌افزاری سیستم، در دو بعد ایستا و پویا محاسبه می‌شود [۱]، [۲] و [۲۵]. توان ایستا بر حسب جریان نشتی سیستم که عمدتاً به دما وابسته است تعریف می‌شود و توان پویا به ولتاژ و فرکانس کاری سیستم وابسته می‌باشد. رابطه توان مصرفی سیستم بر حسب دو جنبه پویا و ایستای آن در (۴) نشان داده شده است

$$\begin{aligned} P_{system} &= P_{dynamic} + P_{static} \\ C_{eff} \times V^2 \times f + \alpha \times T(t) + \beta \end{aligned} \quad (۴)$$

در این رابطه، C_{eff} ظرفیت خازنی سوئیچینگ، V و f ولتاژ و فرکانس کاری سیستم، α و β ثابت‌های وابسته به معماری سیستم و خواص دمایی آن و T دما بر حسب کلوین می‌باشد [۱۲]، [۲۲] و [۲۸].

۳-۶ مدل دمای سیستم چندپردازنده‌ای

دمای لحظه‌ای سیستم‌های کامپیوتری به تغییرات دما و همچنین توان مصرفی سیستم وابسته بوده و طبق معادله دیفرانسیلی (۵) محاسبه می‌شود

$$C.(\frac{dT(t)}{dt}) + G(T(t) - T_{amb}) = P(t) \quad (۵)$$

در این رابطه C و G ثابت‌های وابسته به معماری برای انتقال گرما، T دما بر حسب کلوین در زمان t، T_{amb} دمای محیط و P توان مصرفی سیستم است. یکی از موارد حایز اهمیت در مدل‌سازی دمای سیستم‌های چندپردازنده‌ای، تأثیر دمای هسته‌ها بر یکدیگر می‌باشد. بدین منظور معادله انتشار گرما در دو بعد با هدف مدل‌سازی تأثیر مکانی و زمان گرما به طور هم‌زمان در نظر گرفته می‌شود [۱۲]. معادله انتشار دوبعدی گرما، تأثیر همسایه‌ها در محاسبه دمای هر هسته پردازشی در سیستم‌های چندپردازنده‌ای را لحاظ کرده و توسط (۶) محاسبه می‌شود

$$Heat_transfer_{2D} = \sum_{c' \in nbr(c)} k(c,c').T_c(t) - T_{c'}(t)) \quad (۶)$$

در این رابطه، T_c و $T_{c'}$ دمای هسته اصلی و همسایه‌های آن است و $G(c,c')$ رسانایی گرمایی بین هر هسته و همسایه‌هایش است که به فاصله آنها و ویژگی‌های هندسی تراشه وابسته است. با افزودن این رابطه به حل معادله دیفرانسیلی دمای سیستم که در (۵) آمده است، دمای سیستم با در نظر داشتن تأثیر همسایه‌ها بر یکدیگر محاسبه می‌شود. دمای نهایی هر هسته پردازشی با در نظر داشتن تأثیر همسایه در (۷) نشان داده شده است [۱۲]

$$\begin{aligned} C.\frac{dT_c(t)}{dt} = -G.(T_c(t) - T_{amb}) - \\ \sum_{c' \in nbr(c)} k(c,c').(T_c(t) - T_{c'}(t)) + P(t) \end{aligned} \quad (۷)$$

٤- شرح روش مکاشفه‌ای پیشنهادی

زمان‌بندی و نگاشت وظایف با هدف بهینه‌سازی چالش‌های طراحی در سیستم‌های چندپردازنده‌ای یک مسئله با پیچیدگی NP-hard می‌باشد و در نتیجه راه حل قطعی برای آن وجود ندارد. در این بخش یک روش مکاشفه‌ای مبتنی بر زمان‌بندی لیستی با هدف بهینه‌سازی هم‌زمان زمان اجرا، قابلیت اطمینان، توان مصرفی و دمای تراشه ارائه و شرح داده می‌شود.

٤-١ ساختار کلی روش زمان‌بندی و نگاشت وظایف پیشنهادی

روش پیشنهادی بر اساس بهینه‌سازی Pareto و ایجاد کل پوسته و مجموعه جواب می‌باشد که با انتقال تمامی اهداف مسئله به جز یکی به محدودیت‌ها و حل یک مسئله تک‌هدفی معمولی به دست می‌آید.

در روش پیشنهادی زمان اجرا به عنوان مهم‌ترین هدف در سیستم‌های تعبیه‌شده بی‌درنگ هدف مسئله در نظر گرفته شده و سایر پارامترها به محدودیت‌های مسئله متنقل می‌شوند. این الگوریتم مکاشفه‌ای گراف برنامه کابردی، گراف معماری سیستم و آستانه‌های از پیش تعیین شده محدودیت‌های مسئله (قابلیت اطمینان، توان مصرفی و دمای تراشه) را به عنوان ورودی دریافت می‌کند. در نتیجه، زمان‌بندی و نگاشت ایستا از وظایف بر هسته‌های پردازشی سیستم چندپردازنده‌ای به نحوی که زمان اجرا کمینه باشد و محدودیت‌های مشخص‌شده مسئله رعایت شده باشند را در خروجی تولید می‌کند. لازم به ذکر است که با توجه به چندهدفی‌بودن مسئله و وجود رابطه ناهمسو میان پارامترهای طراحی، مجموعه‌ای از جواب‌ها در خروجی تولید می‌شود که پوسته Pareto را شکل می‌دهند. این مجموعه جواب با تکرار حل مسئله و تغییر مقادیر آستانه با هدف جستجوی کامل فضای طراحی به دست می‌آید.

به منظور جستجوی دقیق‌تر فضای طراحی، در روش پیشنهادی، خنک‌کردن از طریق افزودن زمان‌های بیکاری به اجرا، تکرار اجرای وظایف و مقیاس پویای ولتاژ و فرکانس با هدف بهبود دما، قابلیت اطمینان و توان مصرفی اضافه شده‌اند. بدین ترتیب بازه تغییرات محدودیت‌ها افزایش یافته و فضای طراحی به طور دقیق‌تر جستجو می‌شود و عدم رعایت آستانه محدودیت‌ها که منجر به ایجاد جواب‌های غیر ممکن می‌گردد با احتمال کمتری رخ می‌دهند.

رویکرد خنک‌کردن توسط افزودن زمان‌های اجرای خالی با هدف کاهش دما به سیستم پیاده‌سازی می‌شود. به عبارت دیگر در هر گام، اگر

دمای هسته پردازشی به مقدار بیشینه خود برسد، بازه‌های زمانی خالی به سیستم افزوده می‌شود و به این ترتیب دمای آن از طریق استراحت کاهش می‌یابد. با توجه به تأثیر زیاد دما بر نرخ وقوع خطاهای سخت، رویکرد خنک‌کردن بر این پارامتر نیز تأثیر مثبت دارد. از سوی دیگر، افزودن بازه‌های زمانی خنک‌کردن در این مسئله تأثیرات منفی بر تابع هدف اصلی که زمان اجراست دارد. به دلیل وجود رابطه موازنه‌ای مابین نرخ خنک‌کردن و زمان اجرای کاربرد، تعداد بازه‌های زمانی استراحت با هدف خنک‌کردن به اندازه‌ای در نظر گرفته شده که محدودیت دمای سیستم مخدوش نشود. حداقل زمان بیکاری اضافه‌شده به سیستم در این حالت برابر با یک واحد زمانی در نظر گرفته شده است.

از سوی دیگر افزونگی اجرا، مؤثرترین روش بهبود نرخ خرابی ناشی از خطاهای نرم می‌باشد. استفاده از افزونگی در این مسئله منجر به افزودن بار محاسباتی اضافه خواهد شد. بدون در نظر داشتن افزونگی به عنوان مؤثرترین روش بهبود قابلیت اطمینان، فضای طراحی به طور کامل جستجو نخواهد شد و بخش بزرگی از محدوده جواب به دلیل محدودیت قابلیت اطمینان در نظر گرفته نخواهد شد. افزودن نسخه افزونه از برنامه می‌بایست بر روی هسته دیگری از تراشه مستقل از هسته اصلی اجرا شود که خطا در یک بخش به کل سیستم انتشار نیابد. بدین ترتیب قابلیت اطمینان سیستم پس از افزودن نسخه افزونه از طریق اجرای موازی دو نسخه از برنامه محاسبه خواهد شد. حداکثر تعداد نسخه‌های موازی قابل اجرا از یک برنامه در این حالت به تعداد هسته‌های سیستم پردازشی در نظر گرفته می‌شود تا تمامی فضای جواب بر اساس بهبودهای ممکن قابلیت اطمینان قابل جستجو باشد و در نهایت بهترین جواب با در نظر داشتن سایر محدودیت‌ها و اهداف مسئله بهینه‌سازی انتخاب شود.

رویکرد مکاشفه‌ای این مقاله بر اساس الگوریتم زمان‌بندی لیستی که یک روش چندمرحله‌ای ایستا و بهینه است پیشنهاد شده است [۲۹]. در این روش، مسئله بر حسب وظایف گراف برنامه کاربردی به چندین مرحله زمان‌بندی جزئی تقسیم شده و در هر مرحله زمان‌بندی و نگاشت یک وظیفه مشخص می‌شود. ترکیب نتایج مراحل جزئی، زمان‌بندی و نگاشت نهایی سیستم را مشخص می‌نماید. در هر گام جزئی از فرایند زمان‌بندی، هدف و محدودیت‌های مسئله در نظر گرفته شده و بهترین گزینه برای بهینه‌سازی و رعایت آنها انتخاب می‌گردد. این الگوریتم بر اساس دو لیست "آماده" و "زمان‌بندی‌شده" از وظایف کار می‌کند و پس از تعیین تصمیم در هر مرحله، بازگشت به عقب و تغییر آن میسر نمی‌باشد.

فرایند زمان‌بندی و نگاشت با انتخاب یک وظیفه از لیست آماده آغاز می‌شود. در ابتدا وظایفی از برنامه کاربردی که هیچ وابستگی ندارند در لیست آماده قرار داده شده و لیست زمان‌بندی‌شده خالی است. در گام‌های بعدی که چندین وظیفه در لیست آماده قرار دارد، انتخاب بر اساس تابع هزینه‌ای است که بر اساس کمینه‌کردن زمان اجرا به عنوان هدف اصلی مسئله بهینه‌سازی تنظیم شده است. اولویت وظایف آماده در لیست توسط این تابع هزینه و معیار زمان اجرای سیستم مشخص می‌شود که به ازای هر وظیفه و هر هسته پردازشی محاسبه شده و در (۸) آمده است

$$Cost(task, core) = ETS(task, core) + LTE(task) - CPL \quad (۸)$$

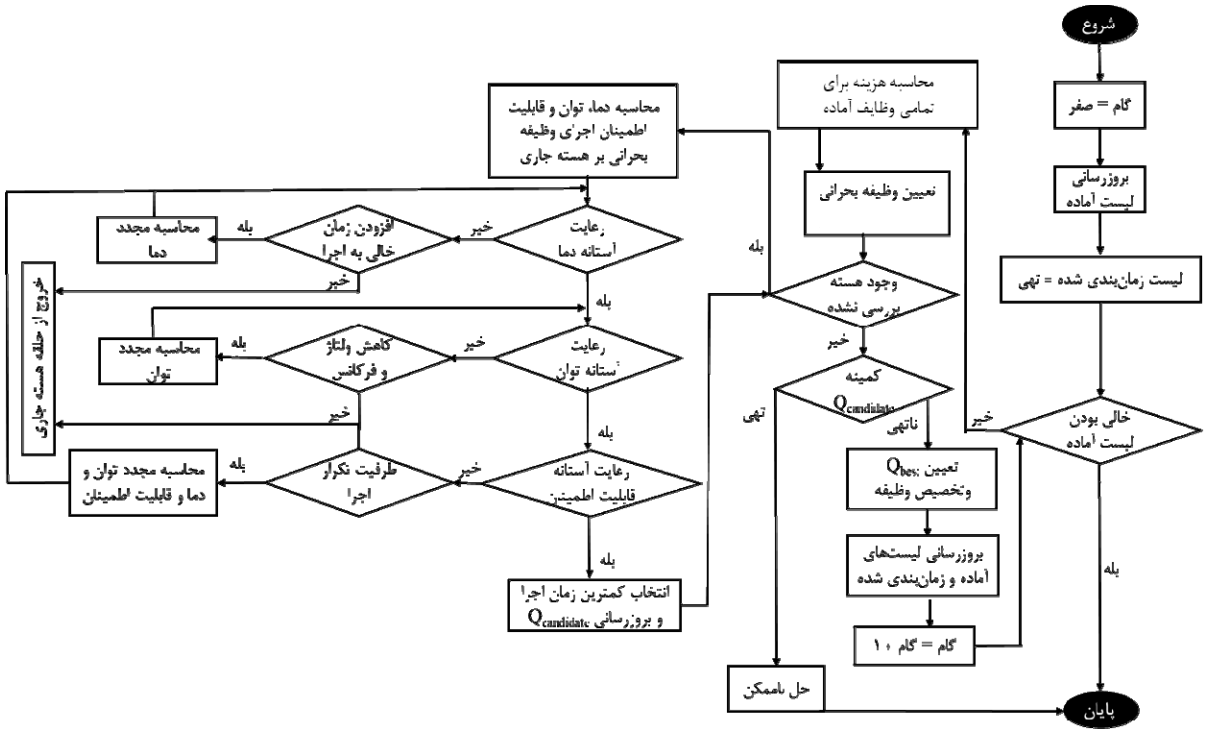
در این رابطه ETS زودترین زمان شروع وظیفه بر هسته پردازشی مشخص‌شده بر حسب وابستگی‌ها، LTE طولانی‌ترین مسیر از وظیفه مورد نظر تا پایان گراف و CPL طول مسیر بحرانی گراف بر اساس وظایف زمان‌بندی‌شده فعلی را نشان می‌دهد.

بدین ترتیب وظیفه و هسته پردازشی که هزینه معین‌شده را بیشینه کند زمان اجرای بیشتری دارد و می‌بایست با اولویت و منابع بیشتری زمان‌بندی شود. اولویت‌دهی به وظیفه‌ای که در مسیر بحرانی بوده و بیشترین زمان اجرا را دارد منجر به کمینه‌نمودن زمان اجرای سیستم به عنوان هدف اصلی بهینه‌سازی می‌گردد. بدین ترتیب و با استفاده از (۸) زمان‌بندی وظایف برنامه کاربردی مشخص می‌شود. پس از محاسبه (۸) و انتخاب وظیفه با اولویت بالاتر برای زمان‌بندی، فرایند نگاشت این وظیفه آغاز می‌شود. در این گام لازم است پردازنده‌ها و سطوح ولتاژ و فرکانس کاندید برای اجرای وظیفه از نظر زمان اجرا و سایر محدودیت‌های مسئله مقایسه شوند. بدین ترتیب وظیفه انتخاب‌شده به پردازنده و سطح ولتاژ و فرکانسی نگاشت می‌شود که کمترین زمان اجرا را داشته باشد و محدودیت‌های قابلیت اطمینان، توان مصرفی و دمای تراشه را رعایت نماید. بدین ترتیب تخصیص وظیفه به وظایف مختلف بررسی شده و بهترین حالت از رویکرد رعایت محدودیت‌های مسئله و همچنین بهینه‌سازی تابع هدف انتخاب می‌شود. در نتیجه در انتهای هر گام، وظیفه با اولویت بالاتر انتخاب شده به بهترین هسته پردازشی و سطح ولتاژ و فرکانس بر حسب مسئله بهینه‌سازی تعریف‌شده تخصیص داده می‌شود. سپس لیست وظایف آماده و زمان‌بندی‌شده به روز رسانی شده و این فرایند تا زمان‌بندی و نگاشت تمامی وظایف برنامه کاربردی تکرار می‌شود. روندنمای جزئیات و مراحل روش مکاشفه‌ای پیشنهادی در شکل ۳ نشان داده شده است.

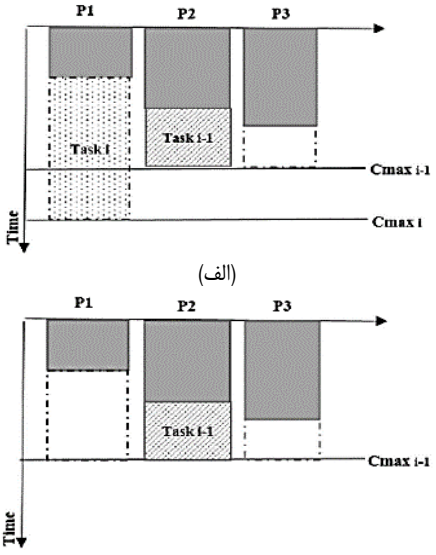
۴-۲ مدیریت تأثیر دمای هسته‌های همسایه در روش بهینه‌سازی پیشنهادی

یکی از مسایلی که در روش مکاشفه‌ای ایستای ارائه‌شده در این مقاله در نظر گرفته شده، نقش هسته‌های پردازشی همسایه در فرایند محاسبه دما می‌باشد. همان گونه که پیشتر شرح داده شد، در سیستم‌های چندپردازنده‌ای فاصله بین هسته‌های همسایه بسیار کم بوده و در نتیجه دمای هر هسته بر سایر اجزای سیستم تأثیرگذار می‌باشد. این تأثیر در روابط محاسبه دمای هسته‌های پردازشی که در بخش ۳-۶ ارائه شد، در نظر گرفته شده است. چالشی که در زمینه محاسبه دمای تراشه و در نظر داشتن اثر همسایه‌ها در فرایند زمان‌بندی پیشنهادی ممکن است رخ دهد زمانی است که وظیفه به هسته‌ای تخصیص داده شود که هسته‌های همسایه آن در آن بازه زمانی خالی می‌باشند. با توجه به این که فرایند زمان‌بندی پیشنهادی به صورت مرحله‌ای انجام می‌شود، ممکن است این هسته‌های خالی در آینده و با تخصیص وظایف بعدی پر شوند ولی اثر آنها در محاسبه دمای وظیفه فعلی لحاظ نشده باشد که منجر به تخمین نادرست دمای سیستم می‌گردد. وضعیت شرح داده شده در شکل ۴ برای یک سیستم نمونه نشان داده شده است. در شکل ۴-الف زمان‌بندی نشان داده شده که در آن هسته‌های همسایه پردازنده‌ای که وظیفه $i-۱$ام به آن تخصیص داده شده خالی می‌باشند و در شکل ۴-ب به یکی از هسته‌های همسایه در مرحله بعدی از زمان‌بندی وظیفه‌ای تخصیص داده می‌شود که این امر منجر به تخمین نادرست دما در مرحله nام از زمان‌بندی می‌گردد. علت این تخمین نادرست در نظر نگرفتن اجرای موازی وظایف i و $i-۱$ و تأثیر دمایی هسته‌های اجراکننده آنها بر یکدیگر می‌باشد. این چالش به دلیل رویکرد گام به گام روش زمان‌بندی پیشنهادی و تخصیص یک وظیفه در هر مرحله ایجاد می‌شود.

در این شکل بخش‌های سفید، خالی‌بودن هسته‌ها را نشان می‌دهد و ارتفاع هر مستطیل متناسب با زمان اجرای وظایف در نظر گرفته شده



شکل ۳: روندنمای روش مکاشفه‌ای زمان‌بندی و نگاشت پیشنهادی.

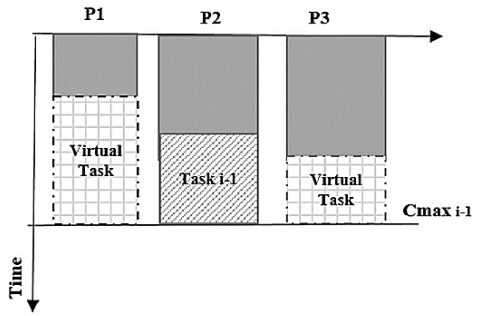


شکل ۴: یک زمان‌بندی نمونه و نمایش چالش تأثیر مدیریت دمای هسته‌های همسایه در تخصیص وظایف، (الف) $i-1$ و (ب) i.

است. محور عمودی در این شکل زمان و محور افقی هسته‌های پردازشی را نشان می‌دهد.

به منظور حل چالش بیان‌شده و تخمین دقیق دما، در این مقاله دو راهکار پیشنهاد می‌شود: راهکار اول بر اساس تخمین حد بالا[1] و افزودن وظایف مجازی با هدف تخمین بدبینانه دما به اجرا ارائه شده است. در این روش، با تخصیص هر وظیفه به هسته‌های پردازشی، به همسایه‌هایی که طول زمان اجرایشان از هسته پردازشی جاری کمتر باشد یک وظیفه مجازی تخصیص داده می‌شود. طول اجرای این وظیفه مجازی به اندازه تفاضل زمان هسته پردازشی جاری و همسایه می‌باشد و فرکانس اجرای آن به اندازه بیشینه فرکانس سیستم در نظر گرفته می‌شود. با افزودن این

1. Overestimation

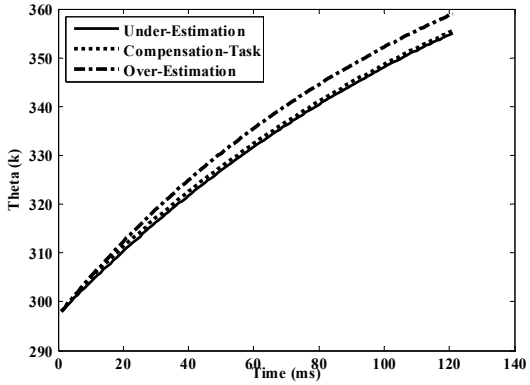


شکل ۵: تخمین حد بالای دما از طریق افزودن وظایف مجازی به هسته‌های همسایه $c_۲$ در گام $n-۱$ زمان‌بندی.

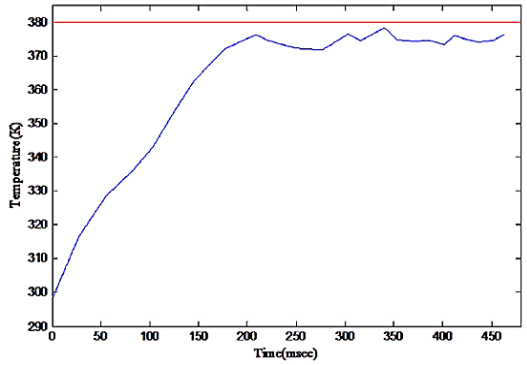
وظیفه مجازی بر هسته‌های همسایه تضمین می‌شود که دمای هسته جاری با تخمین بدبینانه از وضعیت همسایه‌ها محاسبه شده و تخصیص‌های آتی نمی‌توانند اثر بدتری از تخمین فعلی بر دمای آن داشته باشند. مثالی از اعمال روش شرح داده شده در شکل ۵ نشان داده شده است. لازم به ذکر است که در مراحل بعدی از زمان‌بندی و نگاشت بر اساس این راهکار، وظایف مجازی با تخصیص وظایف حذف شده و دمای سیستم بر حسب وظایف جدید به روز رسانی می‌شود.

راهکار پیشنهادی دوم خوش‌بینانه‌تر بوده و عملکرد نزدیک‌تری به واقعیت دارد. در این رویکرد فرض می‌شود که پس از پایان هر اجرا، دمای هسته جاری تا تخصیص وظیفه و اجرای بعدی ثابت نگه داشته می‌شود. در نتیجه در هر لحظه تأثیر دمای همسایه‌ها بر اساس آخرین دمای پس از اجرای هر هسته محاسبه می‌گردد. در هر مرحله اگر وظیفه‌ای به هسته‌های همسایه که پیشتر خالی بوده‌اند تخصیص داده شود، تفاضل دمای ثابت و دمای جدید آنها در قالب یک "وظیفه جبران‌کننده" به زمان‌بندی قبلی هسته جاری افزوده می‌شود تا تأثیر دمای وظیفه جدید در اجرای قبلی در نظر گرفته شود.

به کارگیری هر یک از دو راهکار پیشنهادی، مزایا و معایبی دارند. تخمین حد بالا منجر به افزایش دما بیش از حد واقعی شده و هزینه



شکل ۶: مقایسه روش‌های پیشنهادی جهت مواجهه با چالش تأثیر دمای همسایه در زمان‌بندی مرحله‌ای.



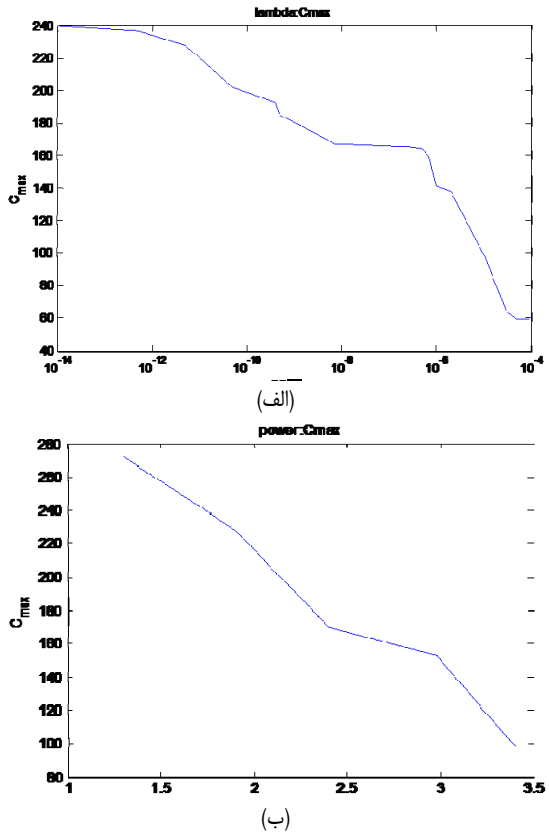
شکل ۷: تغییرات دما در زمان و مطالعه تأثیر افزودن زمان بیکاری بر مدیریت دما.

سیستم را بالا می‌برد. از سوی دیگر در رویکرد پیشنهادی دوم، اهداف مسأله بهینه‌سازی به دلیل تأخیر در افزوده‌شدن وظیفه جبران‌کننده به هم می‌خورد. به منظور بررسی معایب ذکرشده و اهمیت آنها بر مسأله، این دو رویکرد شبیه‌سازی و با یکدیگر مقایسه شده‌اند. نتیجه این شبیه‌سازی و مقایسه در شکل ۶ نشان داده شده است. در این شکل سه خط پر، خط‌چین پیوسته و خط‌چین نقطه و خط برای نمایش و مقایسه رفتار دمایی روش‌های تخمین حد پایین، استفاده از وظیفه جبرانی و تخمین حد بالا در زمان در نظر گرفته شده است.

۵- نتایج تجربی

به منظور ارزیابی روش مکاشفه‌ای زمان‌بندی و نگاشت پیشنهادی و بررسی کارایی آن در بهینه‌سازی هم‌زمان پارامترهای طراحی سیستم‌های چندپردازنده‌ای، سه دسته آزمایش در نظر گرفته شده است. آزمایش‌های دسته اول با هدف مطالعه رفتار پارامترهای قابلیت اطمینان، توان مصرفی و دمای سیستم به عنوان محدودیت‌ها نسبت به زمان اجرا که هدف اصلی مسئله بهینه‌سازی می‌باشد و نشان‌دادن رابطه ناهمسو و متخاصم مابین آنها طراحی شده‌اند. دسته دوم آزمایش‌ها قابلیت روش پیشنهادی در تولید پوسته Pareto و جستجوی فضای طراحی به منظور حل مسئله بهینه‌سازی چندهدفی را بررسی می‌کند. در دسته سوم آزمایش‌ها، کارایی روش پیشنهادی در مقایسه با یک روش بهینه‌سازی سه‌هدفی ارائه‌شده پیشین از لحاظ بهبود پارامترهای طراحی در محک‌های واقعی و تصادفی بررسی می‌گردد.

در آزمایش‌های تجربی، سیستم چندپردازنده‌ای مورد نظر از چهار هسته پردازشی تشکیل می‌شود. برای هر هسته سه سطح ولتاژ و فرکانس در نظر گرفته شده است: ۱٫۰۶ V و ۳۰۰ MHz، ۱٫۱ V و ۶۰۰ MHz و ۱٫۲ V و ۹۰۰ MHz که از پردازنده ARM Cortex الهام گرفته شده



(الف)

(ب)

شکل ۸: تغییرات (الف) نرخ خطا و (ب) توان مصرفی سیستم نسبت به زمان و تأثیر افزودن تکرار و مقیاس پویای ولتاژ و فرکانس کاری.

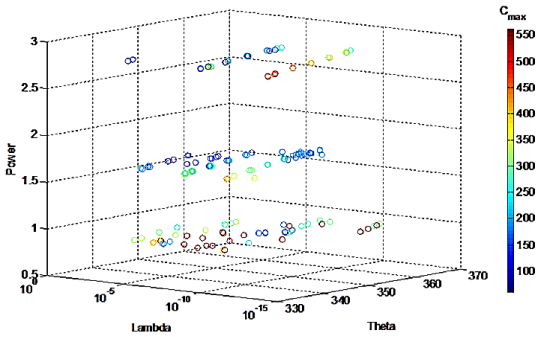
است [۱۷]. همچنین فرض شده که تمامی هسته‌های پردازشی روی تراشه به یکدیگر متصل بوده و مسیر ارتباطی مستقیم دارند. محک‌های واقعی و تصادفی از برنامه‌های کاربردی در قالب گراف DAG از وظایف نیز ورودی دیگر در آزمایش‌های تجربی می‌باشد [۳۰] و [۳۱]. لازم به ذکر است که تمامی آزمایش‌ها توسط شبیه‌ساز MATLAB۲۰۱۴ و در بستر سخت‌افزاری سیستم چهارپردازنده‌ای Intel i۵ با ۶۴ GB حافظه RAM انجام گرفته است.

محدودیت‌های توان مصرفی، قابلیت اطمینان و دمای تراشه توسط روابطی که در بخش ۳ ارائه شد اندازه‌گیری و شبیه‌سازی شده‌اند. مقادیر پارامترهای ثابت به کار رفته در این روابط بدین صورت جایگذاری شده‌اند: $\lambda_0 = 10^{-6}$، $\alpha = 0.1\ \mathrm{W/K}$، $\beta c = -25\ \mathrm{W}$، $\beta h = -11\ \mathrm{W}$، $C = 0.03\ \mathrm{J/K}$ و $G = 0.3\ \mathrm{W/K}$ [۱۵].

به عنوان اولین آزمایش، شکل ۷ تغییرات دما در طی زمان و همچنین اثر افزودن زمان‌های خالی در خنک‌کردن سیستم و بهبود دما را نشان می‌دهد. همان گونه که در این شکل نشان داده شده است، دما با گذشت زمان افزایش یافته و با رسیدن به نقطه آستانه تعیین‌شده (خط افقی‌شکل)، زمان بیکاری با هدف خنک‌کنندگی به آن داده می‌شود.

دو محدودیت دیگر مسئله بهینه‌سازی تعریف‌شده، توان مصرفی و قابلیت اطمینان می‌باشند. تغییرات این دو پارامتر نسبت به زمان $(C_{\max})$ در شکل ۶ نشان داده شده است. همان گونه که شکل ۸- الف نشان می‌دهد، با کاهش حد آستانه نرخ خطای سیستم زمان اجرا به دلیل نیاز به افزودن تکرار بیشتر به اجرا افزایش می‌یابد. در این حالت رعایت آستانه تعریف‌شده نیازمند تعداد تکرار بیشتری از وظایف بوده که باعث افزایش زمان اجرای سیستم می‌شود.

در شکل ۸- ب تغییرات رفتاری توان مصرفی در طول زمان نشان داده شده است. در سطوح پایین دما که ولتاژ و فرکانس سیستم در حد پایین



شکل ۹: پوسته Pareto حاصل از اعمال روش زمان‌بندی مکاشفه‌ای ارائه‌شده و بهینه‌سازی هم‌زمان پارامترهای طراحی.

خود تنظیم شده‌اند، زمان اجرا زیاد شده است. در نتیجه در این شکل رابطه ناهمسو میان توان مصرفی و قابلیت اطمینان با زمان اجرای برنامه کاربردی در سطح ولتاژ و فرکانس کاری و همچنین تکرارهای وظایف نشان داده شده است. در این شکل‌ها، $C_{\max}$ محور عمودی معرف زمان اجرا و P در محور افقی توان مصرفی می‌باشد.

آزمایش دسته دوم با هدف بررسی قابلیت روش زمان‌بندی و نگاشت پیشنهادی در استخراج پوسته Pareto و رعایت موازنه مابین اهداف بهینه‌سازی و رابطه ناهمسوی آنها می‌باشد. بدین منظور مسئله بهینه‌سازی چندهدفی تعریف‌شده برای گراف وظایف تصادفی متشکل از ۴۰ وظیفه حل‌شده و پوسته Pareto حاصل‌شده در چهار بعد در شکل ۹ نشان داده شده است. به منظور جستجوی دقیق فضای جواب، حدود آستانه هر محدودیت به ازای ده مقدار مختلف تغییر داده شده و جواب نهایی پس از هزار بار تکرار و حل مسئله به دست آمده است. جواب‌های نهایی پس از حذف نقاط مغلوب طبق روش بهینه‌سازی Pareto که در بخش ۳ شرح داده شد به دست آمده‌اند.

با توجه به چهاربعدی‌بودن مسئله بهینه‌سازی و محدودیت دید در سه بعد، تغییرات بعد چهارم که زمان اجرا می‌باشد در رنگ نقاط نشان داده شده منعکس گردیده که توسط $C_{\max}$ نمایش داده شده است. سه محور دیگر نمایشگر پارامترهای توان مصرفی، دما (theta) و نرخ بروز خطاهای دایمی و گذرا (L) می‌باشند.

همان گونه که این شکل نشان می‌دهد، نقاط قرمز که زمان اجرای زیادی دارند در سطوح پایین دما، توان مصرفی و نرخ خطا قرار گرفته‌اند. دلیل این امر، اعمال روش‌های بهبود خنک‌کردن، مقیاس ولتاژ و فرکانس و تکرار اجرا در این سطوح با هدف بهینه‌سازی دما، توان مصرفی و قابلیت اطمینان در این سطوح است. با توجه به رابطه ناهمسو مابین مکانیزم‌های بهبود ذکرشده و زمان اجرا، در این نواحی نقاط با زمان اجرای زیاد مشاهده می‌شود. از سوی دیگر تجمیع نقاط با زمان اجرای کمتر (آبی‌رنگ) در سطوح توانی زیاد که فرکانس اجرای سیستم بالا می‌باشد دیده می‌شود. همچنین مشاهده می‌شود که بهترین نقاط پوسته در سطح میانی توان مصرفی سیستم وجود دارند که موازنه مابین سطح ولتاژ و فرکانس و همچنین دمای سیستم در آنها برقرار شده است.

آزمایش‌های دسته سوم با هدف مقایسه کارایی روش مکاشفه‌ای پیشنهادی در بهینه‌سازی هم‌زمان اهداف مسئله بهینه‌سازی تعریف‌شده با روش‌های پیشین انجام گرفته است. بدین منظور یکی از کاراترین روش‌های مکاشفه‌ای ارائه‌شده در [۶] برای مقایسه انتخاب گردیده است. در این روش قابلیت اطمینان در نظر گرفته نشده و مسئله بهینه‌سازی مورد نظر سه‌هدفی می‌باشد. در نتیجه برای یکسان‌بودن شرایط مقایسه، این پارامتر از روش پیشنهادی نیز حذف شده و قابلیت این دو روش در بهینه‌سازی هم‌زمان سایر پارامترهای طراحی مقایسه شده است. جدول ۱، نتایج حاصل از این مقایسه را در پنج محک تصادفی و پنج نمونه واقعی نشان می‌دهد.

همان گونه که مشاهده می‌شود، روش مکاشفه‌ای پیشنهادی در بهینه‌سازی هم‌زمان اهداف مسئله کاراتر بوده و جواب‌های بهتری را تولید نموده است. علت این بهبود در شیوه حل مسئله بهینه‌سازی و جستجوی مؤثرتر فضای جواب می‌باشد. همان گونه که در بخش‌های پیشین شرح داده شد، در روش مکاشفه‌ای PowerPerf-PET تمامی اهداف مسئله با یکدیگر تجمیع شده و در قالب یک تابع هدف واحد بهینه شده‌اند. تجمیع توابع هدف منجر به پوشیده‌شدن اثر بعضی از پارامترها و همچنین جستجوی ناقص فضای جواب مسئله می‌گردد که مطلوب نمی‌باشد.

۶- جمع‌بندی و روال آتی

در این مقاله، یک روش مکاشفه‌ای ایستای زمان‌بندی و نگاشت وظایف جدید با هدف بهینه‌سازی چهارهدفه پارامترهای زمان اجرا، قابلیت اطمینان، توان مصرفی و دمای تراشه به عنوان مهم‌ترین چالش‌های طراحی سیستم‌های چندپردازنده‌ای ارائه شد. فرایند بهینه‌سازی پارامترهای ذکرشده به دلیل وابستگی شدید و رابطه متخاصم مابین آنها سخت و پیچیده می‌باشد. در روش پیشنهادی این مقاله، مسئله بهینه‌سازی چندهدفه تعریف‌شده به شیوه Pareto و با انتقال اهداف به محدودیت‌ها و در نظر گرفتن آستانه برای آنها حل شده است. در روش پیشنهادی زمان اجرا به عنوان اصلی‌ترین معیار در طراحی سیستم‌های تعبیه‌شده بی‌درنگ، هدف اصلی مسئله قرار داده شد و سایر پارامترها به محدودیت‌ها منتقل شد. به منظور جستجوی مؤثر فضای جواب و استخراج پوسته Pareto نهایی، مقادیر آستانه محدودیت‌های مسئله به صورت دوره‌ای تغییر داده شده و جواب بهینه مسئله در هر حالت به دست می‌آید. پوسته Pareto نهایی تمامی راه‌حل‌های بهینه فضای جواب بر اساس موازنه‌های موجود بین پارامترهای طراحی را شامل می‌شود که هیچ یک بر دیگری برتری نداشته و بر حسب شرایط محیطی و نیازهای کاربر رتبه‌دهی می‌شوند. به منظور ارزیابی روش پیشنهادی، قابلیت آن در استخراج پوسته و همچنین بهینه‌سازی اهداف مسئله بررسی و با روش‌های پیشین مقایسه شده است. به عنوان روال آتی، گسترش‌دادن روش پیشنهادی به بستر سیستم‌های چندپردازنده‌ای ناهمگن و همچنین افزودن نظارت برخط با هدف مدیریت رفتار پویای برنامه‌های کاربردی امروزه پیشنهاد می‌شود.

مراجع

[1] W. Wolf, A. A. Jerraya, and G. Martin, "Multiprocessor system-on-chip (MPSoC) technology," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 27, no. 10, pp. 1701-1713, Oct. 2008.

[2] A. B. Abdallah, Advanced Multicore Systems-On-Chip, Springer, 2017.

[3] F. Ferrandi, P. L. Lanzi, C. Pilato, D. Sciuto, and A. Tumeo, "Ant colony heuristic for mapping and scheduling tasks and communications on heterogeneous embedded systems," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 29, no. 6, pp. 911-924, Jun. 2010.

[4] J. Ahmed, *et al.*, Fuzzy Logic Based Power-Efficient Real-Time Multi-Core System. Springer, 2017.

[5] I. Assayad, A. Girault, and H. Kalla, "Tradeoff exploration between reliability, power consumption, and execution time for embedded systems," *International J. on Software Tools for Technology Transfer*, vol. 15, no. 3, pp. 229-245, 2013.

[6] H. F. Sheikh and I. Ahmad, "Sixteen heuristics for joint optimization of performance, energy, and temperature in allocating tasks to multi-cores," *ACM Trans. on Parallel Computing*, vol. 3, no. 2, Article No.: 9, 29 pp., Aug. 2016.

جدول ۱: مقایسه روش مکاشفه‌ای پیشنهادی با روش POWERPERF-PET از لحاظ اهداف بهینه‌سازی.

محک	تصادفی [TGFF]			واقعی [E3S]		
اهداف بهینه‌سازی	دما	توان	زمان اجرا	دما	توان	زمان اجرا
روش پیشنهادی	۳۵۳٫۲	۱٫۷۲	۳۲۹	۳۳۱٫۴	۱٫۵۴	۴۹٫۶
روش PowerPerf-PET [۶]	۳۷۱٫۲	۱٫۸	۵۲۱	۳۴۶٫۷	۱٫۶۱	۸۱٫۸

[7] A. K. Das, A. Kumar, B. Veeravalli, and F. Catthoor, "Literature survey on system-level optimizations techniques," in *Reliable and Energy Efficient Streaming Multiprocessor Systems,* pp. 33-44, Springer, 2018.

[8] A. Das, A. Kumar, B. Veeravalli, C. Bolchini, and A. Miele, "Combined DVFS and mapping exploration for lifetime and soft-error susceptibility improvement in MPSoCs," in *Proc. Design, Automation and Test in Europe Conf. and Exhibition, DATE'14*, 6 pp., Dresden, Germany, 24-28 Mar. 2014.

[9] A. K. Singh, M. Shafique, A. Kumar, and J. Henkel, "Mapping on multi/many-core systems: survey of current and emerging trends," in *Proc. of the 50th Annual Design Automation Conf.*, 10 pp., Austin, TX, USA, 29 May-7 Jun. 2013.

[10] L. Huang, F. Yuan, and Q. Xu, "Lifetime reliability-aware task allocation and scheduling for MPSoC platforms," in *Proc. IEEE/ACM Design, Automation, and Test in Europe, DATE'09*, pp. 51-56, Nice, France, 20-24 Apr. 2009.

[11] A. Girault and H. Kalla, "A novel bicriteria scheduling heuristics providing a guaranteed global system failure rate," *IEEE Trans. on Dependable and Secure Computing*, vol. 6, no. 4, pp. 241-254, Oct./Dec. 2009.

[12] T. Chantem, R. P. Dick, and X. S. Hu, "Temperature-aware scheduling and assignment for hard real-time applications on MPSoCs," in *Proc. of the Conf. on Design, Automation and Test in Europe, DATE'08,* pp. 288-293, Munich, Germany, Mar. 2008.

[13] M. Ammar, *et al.*, "On exploiting energy-aware scheduling algorithms for mde-based design space exploration of MP2SoC," in *Proc. 24th Euromicro Int. Conf. on the Parallel, Distributed, and Network-Based Processing, PDP'16,* pp. 643-650, Heraklion, Greece, 17-19 Feb. 2016.

[14] Z. Ekhtiyari, V. R. Moghaddas, and H. Beitollahi, "A temperature-aware and energy-efficient fuzzy technique to schedule tasks in heterogeneous MPSoC systems," *The J. of Supercomputing*, vol. 75, no. 8, pp. 5398-5419, 2019.

[15] L. Huang and Q. Xu, "Energy-efficient task allocation and scheduling for multi-mode MPSoCs under lifetime reliability constraint," in *Proc. of the Conf. on Design, Automation and Test in Europe, DATE'10,* pp. 1584-1589, Leuven, Belgium, Mar. 2010.

[16] P. Kumar and L. Thiele, "Thermally optimal stop-go scheduling of task graphs with real-time constraints," in *Proc.16th Asia and South Pacific Design Automation Conf.*, pp. 123-128, Yokohama, Japan, 25-28 Jan. 2011.

[17] S. Zhuravlev, J. C. Saez, S. Blagodurov, A. Fedorova, and M. Prieto, "Survey of energy-cognizant scheduling techniques," *IEEE Trans. on Parallel and Distributed Systems*, vol. 24, no. 7, pp. 1447-1464, Jul. 2013.

[18] A. Das, A. Kumar, B. Veeravalli, C. Bolchini, and A. Miele, "Combined DVFS and mapping exploration for lifetime and soft-error susceptibility improvement in MPSoCs," *Proc. of the Conf. on Design, Automation and Test in Europe, DATE'14,* 6 pp., Dresden, Germany, Mar. 2014.

[19] A. Abdi and H. R. Zarandi, "A meta heuristic-based task scheduling and mapping method to optimize main design challenges of heterogeneous multiprocessor embedded systems," *Microelectronics J.*, vol. 87, pp. 1-11, May 2019.

[20] V. T'kindt and J. C. Billaut, *Multicriteria Scheduling: Theory, Models, and Algorithms*, Springer Science & Business Media, 2006.

[21] M. Rausand, Reliability of Safety-Critical Systems: Theory and Applications, Wiley, 2014.

[22] D. Zhu, R. G. Melhem, and D. Mosse, "The effects of energy management on reliability in real-time embedded systems," in *Proc. IEEE /ACM Int. Conf. on Computer Aided Design, 2004. ICCAD'04,* pp. 35-40, San Jose, CA, USA, 7-11 Nov. 2004.

[23] B. Zhao, H. Aydin, and D. Zhu, "Generalized reliability-oriented energy management for real-time embedded applications," in *Proc. 48th ACM/EDAC/IEEE Design Automation Conf., DAC'11,* pp. 381-386, San Diego, CA, USA, 5-9 Jun. 2011.

[24] A. Das, A. Kumar, and B. Veeravalli, "Aging-aware hardware-software task partitioning for reliable reconfigurable multiprocessor systems," in *Proc. Int Conf. on Compilers, Architecture and Synthesis for Embedded Systems*, pp. 1-10, Montreal, Canada, Sept. 2013.

[25] J. Srinivasan, S. V. Adve, P. Bose, and J. A. Rivers, "Exploiting structural duplication for lifetime reliability enhancement," in *Proc. 32nd Int. Symp. on Computer Architecture, ISCA'05 ISCA*, pp. 520-531, Madison, WI, USA, 4-8 Jun. 2005.

[26] J. S. S. T. Association, "Failure mechanisms and models for semiconductor devices," jep122e, JEDEC Publication, 2016.

[27] T. Chantem, Y. Xiang, X. S. Hu, and R. P. Dick, "Enhancing multicore reliability through wear compensation in online assignment and scheduling," in *Proc. IEEE/ACM Design, Automation, and Test in Europe, DATE'13,* pp. 1373-1378, Grenoble, France, Mar. 2013.

[28] B. Ouni, I. Mhedbi, C. Trabelsi, R. B. Atitallah, and C. Belleudy, "Multi-level energy/power-aware design methodology for MPSoC," *J. of Parallel and Distributed Computing*, vol. 100, pp. 203-215, 2016.

[29] T. C. Hu, "Parallel sequencing and assembly line problems," *Operations Research*, vol. 9, no. 6, pp. 841-848, 1961.

[30] Embedded system synthesis benchmark suite (e3s), http://ziyang.eecs.umich.edu/ dickrp/e3s/, accessed: 2019-08-27.

[31] D. Rhodes, R. Dick, and K. Vallerio, *Task Graphs for Free*, http://ziyang.eecs.umich.edu/ dickrp/tgff, accessed: 2019-08-27.

آتنا عبدی تحصیلات خود را در مقاطع کارشناسی، کارشناسی ارشد و دکترای مهندسی کامپیوتر- معماری کامپیوتر به‌ترتیب در سال‌های ۱۳۸۹، ۱۳۹۱ و ۱۳۹۸ در دانشگاه صنعتی امیرکبیر به پایان رساند و هم‌اکنون عضو هیأت علمی دانشکده مهندسی کامپیوتر دانشگاه صنعتی خواجه نصیرالدین طوسی می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی سیستم‌های تحمل‌پذیر اشکال، طراحی سیستم‌های نهفته و بی‌درنگ، بهینه‌سازی چند هدفی، مکانیزم‌های مدیریت توان مصرفی و دما در سیستم‌های چندپردازنده‌ای روی تراشه و سامانه‌های اینترنت اشیا.

حمیدرضا زرندی دوره‌های تحصیلی خود را در مقاطع کارشناسی، کارشناسی ارشد و دکترای مهندسی کامپیوتر به‌ترتیب در سال‌های ۱۳۷۹، ۱۳۸۱ و ۱۳۸۵ در دانشکده مهندسی کامپیوتر، دانشگاه صنعتی شریف به پایان رساند و از سال ۱۳۸۶ تا کنون عضو هیأت علمی و دانشیار دانشکده مهندسی کامپیوتر دانشگاه صنعتی امیرکبیر (پلی‌تکنیک تهران) می‌باشد. زمینه‌های تحقیقاتی موردعلاقه ایشان عبارتند از: طراحی سیستم‌های تحمل‌پذیر اشکال، شبکه‌های روی تراشه، طراحی اتکاپذیر سیستم‌های نهفته، و معماری کامپیوتر.

شاهرخ جلیلیان در سال۱۳۷۴ مدرک کارشناسی مهندسی برق الکترونیک خود را از دانشگاه صنعتی خواجه نصیرالدین طوسی و در سال ۱۳۷۷ مدرک کارشناسی ارشد مهندسی برق الکترونیک خود را از همان دانشگاه دریافت نمود. از سال ۱۳۷۵ الی ۱۳۸۶ نام‌برده به عنوان کارشناس ارشد در حوزه سامانه‌های دیجیتال و نرم‌افزار سامانه‌های نهفته در مرکز تحقیقات مخابرات ایران (پژوهشگاه ارتباطات و فناوری اطلاعات) به کار مشغول بود و پس از آن در پژوهشکده سامانه‌های ماهواره (ذیل سازمان فضایی ایران و اکنون ذیل پژوهشگاه فضایی ایران) در حوزه نرم‌افزار روی برد ماهواره ادامه کار داد و از سال ۱۳۹۱ نیز عضو هیأت علمی این پژوهشکده در رتبه مربی است. زمینه‌های علمی مورد علاقه ایشان شامل موضوعاتی مانند سامانه‌های نهفته، معماری نرم‌افزار روی برد، تست نرم افزارهای نهفته و تحمل‌پذیری خطای نرم‌افزاری است.